

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332301

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H01L 33/00
G02B 6/122
H01L 31/0232
H05B 33/00

(21)Application number : 11-138605

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 19.05.1999

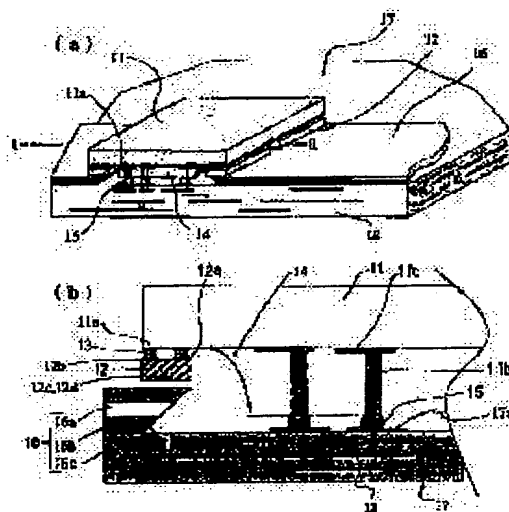
(72)Inventor : ANDO YASUHIRO
ISHII YUZO

(54) SEMICONDUCTOR DEVICE HAVING INPUT/OUTPUT MECHANISM FOR OPTICAL SIGNAL, AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a method for inexpensively manufacturing with a good productivity a high-performance semiconductor device which can input and output not only an electrical signal but also an optical signal while keeping a form of chip size package, and which is provided with electrode pads directly connectable to a printed circuit board to allow a multiplicity of optical inputs and outputs.

SOLUTION: In the semiconductor device, a semiconductor integrated circuit is provided at its periphery with surface emitting type lasers, light emitting diodes or an array thereof which has both positive and negative electrodes provided on a side opposite to a luminous surface, a surface type optical element 12 having surface type photodetectors with both positive and negative electrodes provided on a side opposite to a light receiving surface or having an array thereof, is connected to a chip by solder bump means with an electrode surface 11c of the optical element directed downwards. Further electrodes for connection of electrical signals to a printed circuit board 17 as well as a mechanism for input and output of optical signals are provided.



LEGAL STATUS

[Date of request for examination] 09.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-332301
(P2000-332301A)

(43)公開日 平成12年11月30日(2000. 11. 30)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 33/00		H 0 1 L 33/00	M 2 H 0 4 7
G 0 2 B 6/122		H 0 5 B 33/00	3 K 0 0 7
H 0 1 L 31/0232		G 0 2 B 6/12	B 5 F 0 4 1
H 0 5 B 33/00		H 0 1 L 31/02	C 5 F 0 8 8

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21)出願番号 特願平11-138605

(22)出願日 平成11年5月19日(1999. 5. 19)

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72)発明者 安東 泰博

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 石井 雄三

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74)代理人 100068353

弁理士 中村 純之助 (外2名)

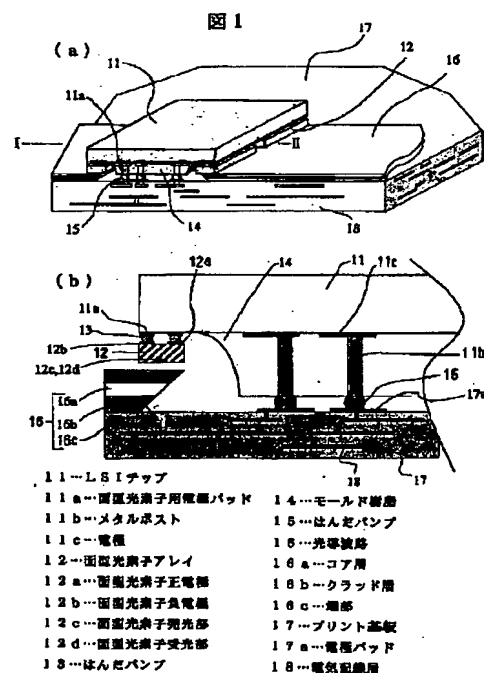
最終頁に続く

(54)【発明の名称】 光学的信号の入出力機構を有する半導体装置およびその製造方法

(57)【要約】

【課題】チップサイズパッケージの形態を保ったまま、電気的な信号の入出力に加えて、光学的な信号の入出力も行える高性能の半導体装置を安価に提供する。また、プリント基板に直接接続できる電極パッドを設け、多数の光学的な入出力も行える半導体装置を生産性良く安価に製造できる方法を提供する。

【解決手段】半導体集積回路の周辺部に、発光面の反対側に正と負の両電極を有する面発光型レーザ、発光ダイオードまたはそれらのアレイを備え、受光面の反対側に正と負の両電極を有する面型受光素子またはそのアレイを備えた面型光素子を、面型光素子の電極面を下にしてはんだバンパ手段により接続し、プリント基板への電気的信号の接続を可能とする電極に加えて、光学的信号の入出力機構を有する半導体装置とする。



【特許請求の範囲】

【請求項1】半導体集積回路に、プリント基板への電気的信号の接続が可能な電極を有し、上記半導体集積回路を構成している素子表面は樹脂材料によって保護され、該半導体集積回路は、それ自体でプリント基板に搭載可能なチップサイズパッケージ構造を有する半導体装置であって、上記半導体集積回路の周辺部に、発光面の反対側に正と負の両電極を有する面発光型レーザ、発光ダイオードまたはそれらのアレイを備え、受光面の反対側に正と負の両電極を有する面型受光素子またはそのアレイを備えた面型光素子を、該面型光素子の電極面を下にしてはんだ付け手段により接続され、上記プリント基板への電気的信号の接続を可能とする電極に加えて、上記半導体装置の光学的信号の入出力をも可能とする光学的信号の入出力手段を接続してなることを特徴とする光学的信号の入出力機構を有する半導体装置。

【請求項2】請求項1において、上記はんだ付け手段は、はんだバンプによる接続手段であり、面型光素子の発光側または受光側の表面にも、はんだバンプを形成可能とする金属層を有することを特徴とする光学的信号の入出力機構を有する半導体装置。

【請求項3】請求項1または請求項2において、上記面型光素子の発光側または受光側の表面もしくは裏面に、集光作用を有するレンズ状物体を加工または形成するか、もしくはあらかじめ成形したレンズ状物体を装着してなることを特徴とする光学的信号の入出力機構を有する半導体装置。

【請求項4】請求項1ないし請求項3のいずれか1項において、上記面型光素子の発光側または受光側の表面の少なくとも発光または受光領域が、使用する光の波長に関して透明な材料によって封止してなることを特徴とする光学的信号の入出力機構を有する半導体装置。

【請求項5】請求項1ないし請求項4のいずれか1項に記載の光学的信号の入出力機構を有する半導体装置からの光学的信号の接続において、光路をおおむね90度変換することが可能な構造の光路端部を有する光導波路またはシート状の光導波路フィルムをプリント基板に配設するか、または光路をおおむね90度変換することが可能な構造の光路端部を有する光ファイバを挟み込んで形成されたシートを、上記半導体装置の面型光素子の発光部または受光部の直近に配設し、上記面型光素子の発光側または受光側の表面の金属層と、それと対応する位置に形成された上記光導波路、シート状の光導波路フィルムまたは光ファイバを挟み込んで形成されたシートの上の金属層とを、はんだバンプの手段により接続してなることを特徴とする光学的信号の入出力機構を有する半導体装置。

【請求項6】請求項1ないし請求項5のいずれか1項に記載の光学的信号の入出力機構を有する半導体装置の製造方法であって、

半導体集積回路が作製されたウエハのままで、電気的信号および光学的信号を入出力するための電極パッドを作製する工程と、

上記面型光素子を搭載する工程と、

上記面型光素子の発光側または受光側の表面もしくは裏面に、集光作用を有するレンズ状物体を加工または形成するか、もしくはあらかじめ成形されたレンズ状物体を装着する工程と、

上記面型光素子の発光側または受光側の表面の少なくとも発光または受光領域が、使用する光の波長に関して透明な材料によって封止する工程と、

個別の半導体集積回路に切り分けをする工程を含むことを特徴とする光学的信号の入出力機構を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は光学的信号の入出力機構を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】図6は、従来の半導体装置の第1の従来例を示すものであり、その断面構造を模式的に示している。この第1の従来例は、半導体集積回路61を、それとほぼ同程度の外形をしたパッケージ62に収め、パッケージ下面から格子状に電気端子63を取り出した半導体装置である。このような小型のパッケージは、チップサイズパッケージ(CSP)と呼ばれ、小型である故に、プリント基板64への高密度な表面実装が可能となる。また、QFP(クワッドフラットパッケージ)や、SOP(スモールアウトラインパッケージ)のような周辺部からリードを取り出すペリフェラル構造と比べて、エリアアレイ構造は小型で、かつ多数の電気端子を取り出すことができる。現在、大型コンピュータの論理LSI(大規模集積回路)パッケージや、通信系用途などに使われており、今後の高密度表面実装において重要なパッケージになるものと考えられる。また、チップサイズパッケージには、上記のような半導体集積回路61をキャリア基板65に搭載したタイプのみでなく、多様なパッケージ形態があり、半導体集積回路を単に樹脂などで保護しただけであっても、プリント基板等に直接接続するための電極が形成されていれば、CSPの範疇に含まれる。近年、通信装置や、大型コンピュータの性能向上に対して、半導体集積回路自身の性能ではなく、それらの間を接続する電気配線の特性がボトルネックになるとの指摘がなされている。これは、例えば、D.A.B.Miller, "Limit to the Bit-Rate Capacity of Electrical Interconnects from the Aspect Ratio of the System Architecture," Special Issue on Parallel Computing with Optical Interconnects, Journal of Parallel and Distributed Computing, 1996.において詳細に述べられているように、電気配線の帯域制限、電気コネクタの小

型化限界、そして電気配線部における消費電力の増大が特に問題として挙げられている。そして電気配線の代わりに光ファイバや光導波路、自由空間を用いた光配線によって、それらの問題を解決する方法が数多く提案、研究されている。チップサイズパッケージは、電気的な信号入出力を有する半導体装置としては、パッケージサイズや帯域性能において優れたパッケージであるが、半導体装置間を光配線で行う場合には、発光素子や受光素子といった電気／光変換素子をパッケージに内蔵しなければならず、次に示す第2の従来例に示すようにチップサイズより随分大きなパッケージ構造にならざるを得なかった。

【0003】図7は、光学的信号の入出力機構を有する半導体装置の第2の従来例であり、その上面図を示している。本第2の従来例で示す半導体装置は、半導体集積回路71を、抵抗、コンデンサ等の受動素子類である電子部品類72や、半導体レーザアレイ73、受光素子アレイ74と共に、モジュール基板75に搭載し、さらに光ファイバリボン76によって光学的な信号入出力を行うことを可能にした、フラットパッケージタイプの並列光伝送モジュールであり、図7はその上面図である。この並列光伝送モジュール内には、さらにマイクロレンズアレイ77、短尺光ファイバ78が含まれており、パッケージの側面にはMTコネクタのような光ファイバコネクタレセプタクル79が具備されている。半導体レーザアレイ73から出射した光は、マイクロレンズアレイ77によって集光され、長さ数ミリ程度の短尺光ファイバ78の一端に入射される。短尺光ファイバ78は、光ファイバコネクタレセプタクル79内に固定されており、その他端はパッケージ外へ取り出されている。光ファイバコネクタレセプタクル79に、それと対応する光ファイバコネクタプラグ80を嵌合、接続することにより、テーブ化された光ファイバリボン76によって並列光伝送モジュール間の光伝送を行うことができる。また、この並列光伝送モジュールは、パッケージ側面のうち、光ファイバレセプタクル79が具備された側面以外の3面に、プリント基板81へ接続するためのリード82が具備されており、これにより電気的な信号入出力を行う。また、光ファイバリボン76から受光素子アレイ74へ光学的な信号を伝搬する場合においても、上述の半導体レーザアレイの場合と全く同様に、短尺光ファイバ78、およびマイクロレンズアレイ77を介して行われる。また、この並列光伝送モジュールのプリント基板81への実装は、次のように行われる。

(1) 並列光伝送モジュールから、光ファイバコネクタプラグ80を外した状態にしておく。

(2) パッケージをプリント基板81上の所望の位置に仮搭載し、はんだリフロー等の表面実装工程により、リード82をプリント基板上に対応する電極に実装、固定する。

(3) 光ファイバコネクタプラグ80を端部に設けた光ファイバリボン76を、並列光伝送モジュールの光ファイバコネクタレセプタクル79に嵌合する。

(4) プリント基板81上の光ファイバリボン76の余長部をクリップ等でプリント基板81上の適当な位置に固定する。上記の手順において、プリント基板81上に実装された並列光伝送モジュールへ光ファイバリボン76を接続し、その余長を収納する作業は、人手に頼らざるを得ず、基板実装工程の自動化を困難にしている。また、本第2の従来例に示すように、従来の並列光伝送モジュールには、マイクロレンズアレイ77などのディスクリットな微小光学部品や、短尺光ファイバ78やポリマー光導波路など、モジュール内において、ごく短距離伝送のための光導波路部品が必要とされることが多い。これらの光部品はそれぞれ別個に作製され、モジュール組み立て時には、それぞれを高精度に光軸調整・固定しなければならぬため、部品点数の増加を招き、並列光伝送モジュールの小型化・低コスト化・量産化を困難にしていた。また、このような並列光伝送モジュールの製造は、まずウエハから個別に切り出された半導体集積回路や半導体レーザアレイ、受光素子アレイを、モジュール基板上にて個別にハイブリッドに搭載されていた。

【0004】

【発明が解決しようとする課題】しかるに、上述の第1の従来例においては、チップサイズパッケージの半導体装置は、電気的な信号入出力のみを有しており、電気配線の帯域制限、電気コネクタ小型化限界、電気配線の消費電力の増加といった電気配線のボトルネックを解消すべく光配線を行うために不可欠な、光学的な信号入出力の機能を有していなかった。また、上述の第2の従来例においては、半導体レーザと受光素子をパッケージ内に備えているものの、フラットパッケージの一つの側面を光学的信号の入出力に用いているために、多数の光学的信号の入出力の場合には、どうしてもモジュールサイズが大きくなっていった。また、パッケージの側面に具備した光ファイバコネクタレセプタクルへ、光ファイバコネクタプラグを嵌合・接続させる工程、および、プリント基板上の光ファイバリボンの余長部を収納する作業は、パッケージをプリント基板上にはんだリフロー等によって表面実装した後に、手作業により行わざるを得ないため、基板実装工程を自動化できず、コスト的に高くなり、しかも量産化が困難であった。また、第2の従来例においては、マイクロレンズアレイなどのバルクの微小光学部品や、短尺光ファイバや、ポリマー光導波路など、モジュール内における極短距離伝送のための光導波路部品が必要とされることが多く、これらが部品点数の増加を招き、並列光伝送モジュールの小型化・低コスト化・量産化を困難にしていた。なお、第2の従来例においては、レセプタクルタイプのコネクタ構造であったが、この他にもモジュール内部から数十センチ程度の光

ファイバを引き出した格好のピグテールタイプもある。ピグテールタイプでは、光ファイバがモジュールと一体であるために、プリント基板上にモジュール自身を表面実装することさえ困難になる。プリント基板上に実装した後に、光ファイバリボンをコネクタ接続し、光ファイバリボンの余長部を手作業によって収納せねばならない点は、レセプタクルタイプと全く同じである。また、このような半導体装置の製造においては、半導体集積回路や、半導体レーザアレイ、受光素子アレイ等は、各モジュール基板ごとに、順にハイブリッド実装されるため、各部品的位置合わせ、搭載、固定等の工数が多くなり、低コストに量産化を実現することが困難であった。本発明は、上記のような事情に鑑みてなされたものであって、その目的とするところは、チップサイズパッケージの形態を保ったままで、電気的な信号入出力に加えて、光学的な信号入出力も行うことのできる半導体装置を提供することにある。また、フラットパッケージ側面から光ファイバリボンによって光学的な信号入出力を行う従来の半導体装置に代って、プリント基板に直接接続できる電極を有し、さらにそれに加えて多数の光学的な入出力も行うことのできる半導体装置を提供することにある。

【0005】

【課題を解決するための手段】上記本発明の目的を達成するために、本発明の請求項1に係る光学的信号の入出力機構を有する半導体装置は、半導体集積回路等がそれ自体で、例えば、ガラスエポキシ樹脂基板よりなるプリント基板、あるいはマルチチップ実装に用いられるセラミックス基板等に搭載可能なチップサイズパッケージ構造を有するものであって、発光面の反対側に正と負の両電極を有する面発光型レーザ、LED（発光ダイオード）またはそれらのアレイや、受光面の反対側に正と負の両電極を有する面型受光素子またはそのアレイ等の面型光素子を、上記半導体集積回路の周辺部に電極面を下にして、はんだバンプ等のはんだ付け手段により接続されており、プリント基板等への電気的信号の直接接続を可能とする電極に加えて、上記半導体装置の光学的信号の入出力をも可能とする光学的信号の入出力手段を設けた半導体装置とするものである。

【0006】また、本発明の請求項2に係る半導体装置は、請求項1に記載の面型光素子を内蔵したチップサイズパッケージにおいて、面発光型レーザ、LEDまたはそのアレイ等の発光側表面、あるいは面型受光素子またはそのアレイ等の受光側表面にも、はんだバンプを形成可能な金属層を設けた光学的信号の入出力機構を有する半導体装置とするものである。

【0007】また、本発明の請求項3に係る半導体装置は、請求項1または請求項2に記載の半導体装置における入出力光のビーム変換を行う機構を有するものであ

て、面型発光素子の発光側表面または裏面、あるいは面型受光素子の受光側表面または裏面に、集光作用を有するレンズ状物体を加工または形成するか、もしくはあらかじめ成形されたレンズ状物体を装着して、光学的信号の入出力機構を有する半導体装置とするものである。

【0008】また、本発明の請求項4に係る半導体装置は、請求項1ないし請求項3のいずれか1項に記載の半導体装置の信頼性を向上させる手段であって、面型発光素子あるいは面型受光素子の少なくとも発光領域、受光領域を、使用する光の波長に関して透明な材料を用いて封止した光学的信号の入出力機構を有する半導体装置とするものである。

【0009】また、本発明の請求項5に係る半導体装置は、請求項1ないし請求項4のいずれか1項に記載の半導体装置からの光学的信号の接続機構を有するものであって、光路をおおむね90度変換することが可能な構造の光路端部を有する光導波路またはシート状の光導波路フィルムの上記光路端部を、上記プリント基板等に直接形成するか、または光ファイバを挟み込んで形成された光導波路シートに、光路をおおむね90度変換することが可能な構造の光路端部を形成し、該光路端部を、上記半導体装置の面型光素子の発光部または受光部の直近

（直下近傍）に配設し、上記面型光素子の発光側または受光側の金属層と、それに対応する位置に形成された、上記光導波路、シート状の光導波路フィルムまたは光導波路シートのそれぞれの光路端部上の金属層とを、はんだバンプ等の手段により、それらを接続して光学的信号の入出力機構を有する半導体装置とするものである。

【0010】また、本発明の請求項6に係る光学的信号の入出力機構を有する半導体装置の製造方法は、請求項1ないし請求項5のいずれか1項に記載の半導体装置を作製する方法であって、半導体集積回路が作製されたウエハのままで、電気的信号および光学的信号を入出力するための電極パッドを作製する工程と、上記面型光素子を搭載する工程と、上記面型光素子の発光側または受光側の表面もしくは裏面に、集光作用を有するレンズ状物体を加工または形成するか、もしくはあらかじめ成形されたレンズ状物体を装着する工程と、上記面型光素子の発光側または受光側の表面の少なくとも発光または受光領域が、使用する光の波長に関して透明な材料によって封止する工程と、個別の半導体集積回路に切り分けをする工程を含む光学的信号の入出力機構を有する半導体装置の製造方法とするものである。

【0011】本発明の光学的信号の入出力機構を有する半導体装置によれば、プリント基板等への電気的信号を直接接続することを可能とする電極に加えて、半導体装置からの光学的信号の入出力をも可能とする光学的信号の入出力機構を有するチップサイズパッケージの半導体装置が得られるので、チップサイズパッケージを保ったままで、電気的信号の入出力に加えて、光学的信号の入

出力機構を有する性能に優れた半導体装置を提供することができ、また、フラットパッケージ側面からファイバリボンを介して光学的信号の入出力を行う従来のリードタイプの半導体装置に代って、小型のパッケージから多数の光学的信号の入出力を行うことのできる高性能の半導体装置を実現できる効果がある。また、本発明の半導体装置は、面型光素子アレイと光導波路とを、はんだバンプを用いて位置合わせして固定するので、プリント基板の振動や各部品材料の熱膨張係数の差による相対位置の変動に対して安定な構造となり、これらの光結合系に与える影響を小さくすることができる効果がある。また、本発明の半導体装置の製造方法によれば、光ファイバリボンのコネクタ接続工程や、余長光ファイバの収納作業といった、従来の並列光モジュールにおいては手作業に頼らざるを得なかった煩雑な作業工程が全く不要となるので、プリント基板への実装工程をすべて自動化することが可能であり、従来技術に比べて、大幅に低コスト化・量産化をはかることができる効果がある。

【0012】

【発明の実施の形態】以下に、本発明の実施の形態を例示し、図1～図5を用いて、さらに詳細に説明する。

〈第1の実施の形態〉図1(a)は、本発明の第1の実施の形態における光学的信号の入出力機構を有する半導体装置の構造と、プリント基板上における電気的信号および光学的信号の接続を模式的に示す図である。また、図1(b)は、図1(a)におけるI-II断面の一部を拡大して示す図である。この第1の実施の形態における半導体装置は、半導体集積回路が作製されたLSIチップ11と、面型発光素子アレイまたは面型受光素子アレイ等の面型光素子アレイ12とを、LSIチップ11と同程度の外形サイズのパッケージ内に収納したチップサイズパッケージ構造をしている。ただし、図1(a)、

(b)では構成の説明であるために、上記パッケージは図示していない。面型光素子12は、面型光素子発光部12c、あるいは受光部12dの反対側に、面型光素子正電極12aと、負電極12bを有しており、LSIチップ11の周辺部に形成した面型光素子用電極パッド11aへ直接、はんだバンプ13により接続されている。また、LSIチップ11の中央部にはメタルポスト11bが形成されており、モールド樹脂14により覆われている。さらに、メタルポスト11bのLSIチップ11側の電極11cの反対側には、プリント基板17に接続するための、はんだバンプ15が形成されている。ここで、半導体集積回路への半導体レーザアレイや、受光素子アレイの搭載は、ウエハから個別の半導体集積回路に切出した後に、各々に対してハイブリッド実装して行ってもよいが、ウエハのままでこれらを搭載し、その後に個別の半導体集積回路に切り出すようにして製造してもよく、後者の方が低コストで量産できると考えられる。面型光素子12を搭載したLSIチップ11は、面型光

素子12を搭載した面をプリント基板17側に向けて、はんだバンプ15がプリント基板17上の電極パッド17aと対向するように位置合わせされ、はんだリフロー工程により表面実装される。この半導体装置は、はんだバンプ15をパッケージ下面にアレイ状に配置したエリアアレイ構造であるために、パッケージ周辺部からリードを取り出すバタフライ型やDIP (Dual Inline Package) 型等のペリフェラル構造と比べて、同一サイズのパッケージから、より多数の電気的信号の入出力を行うことができる。このように、小型のパッケージに構成されるために、パッケージ内の電気配線長が短くなり、電気配線の帯域制限を受けにくくなり、また、電気配線で消費する電力の増加を抑えることができる。また、面型光素子12の入出力光は、短尺の光ファイバや、ディスクリットなマイクロレンズアレイ部品等の光部品を介さずに、直接パッケージから取り出される。したがって、パッケージ内にアセンブリされる部品点数が少なく済み、大幅に工数を削減することができ、さらに、パッケージサイズを大幅に小型化することができる。また、プリント基板17上には、搭載する半導体装置の光学的信号の入出力位置に対応して、あらかじめ光導波路16を形成している。この光導波路16の端部16cは、面型光素子12の入出力光に対して45度の角度をなすように加工され、TIR (Total Internal Reflection) ミラーまたは45度端面に金属膜等を付着させた反射ミラーとして上方に位置した面発光素子12の入出力光を光導波路16のコア層16aへ90度の光路変換をしてから光結合させる役割を有している。このような光学的信号の入出力機構を有する半導体装置は、半導体装置のはんだバンプ15と、プリント基板上の電極17aを位置合わせし、はんだリフロー工程を経ることで、プリント基板17へ実装される。この際、面型光素子12と光導波路16とも所定の位置に位置合わせされるために、はんだバンプ15を介した電気的な接続のみでなく、光学的な接続も行われる。ただし、面型光素子12と光導波路16とは物理的に接触しないので、パッケージの基板固定は、はんだバンプ15のみによっている。また、この光導波路は、同一のプリント基板上に搭載された複数の半導体装置間を光学的に接続するためにも使用される。したがって、光ファイバリボンのコネクタ接続工程や、余長光ファイバの収納作業といった、従来の並列光モジュールにおいては手作業に頼らざるを得なかった煩雑な作業が全く不要となるので、プリント基板への実装工程をすべて自動化することができ、従来技術に比べて、大幅に低コスト化・量産化することが可能となる。なお、この光導波路16は、プリント基板17上に直接形成されたものでなくとも構わない。例えば、フィルム状のポリマー光導波路や、光ファイバを挟み込んだシートを接着、あるいは部分的に固定して作製してもよい。後者は、配布線した光ファイバを2枚のシート間に

挟み、接着剤等で固定し、その端部を、上記の光導波路と同じように45度ミラー加工することにより容易に作製できる。プリント基板上における光配線長が長い場合や、光導波路の減衰が問題となる場合においては、光ファイバを用いた接続方法が優位になると考えられる。また、上記の説明においては、光学的信号の入出力機構を有する半導体装置を実装する基板として、プリント基板を挙げているが、これはガラスエポキシ樹脂基板のような標準的なプリント基板に限定されるのではなく、マルチチップ実装に用いられるようなセラミックス基板等も包含していることは言うまでもない。

【0013】また、面型光素子発光部12c側、あるいは面型光素子受光部12d側の表面または裏面に、レンズ状の物体を形成することは大きな効果がある。次に、面型発光素子を搭載したLSIチップを例にとり、その近傍の縦断面図のみを拡大して示した図2および図3を用いて説明する。図2は、発光面22と反対側に正と負の両電極パッド23a、23bを形成した面型発光素子21をLSIチップ11へ搭載し、発光面22側の表面にレンズ状の物体24を形成した光学的信号の入出力機構を有する半導体装置を示す。発光面22から出射した発散光25aは、レンズ状の物体24によってコリメート光25bに変換される。このようなビーム変換を行うことで、面型発光素子21と、光導波路16間の距離が大きい場合においても、高効率に光結合することが可能となる。このレンズ状の物体24は、どのような方法で作製しても構わない。例えば、面型発光素子21をLSIチップ11に搭載した後に、微量の液体状のポリマー材料を塗布し、続いて、それを硬化させて形成しても良く、また、球レンズを接着剤等で装着しても良く、あるいは、面型発光素子21を作製する際に、モノリシックに集積化しても構わない。さらに、このレンズ状の物体24は、図2に示したような屈折型のマイクロレンズだけに限らず、回折型のレンズであっても良い。また、面型光素子の発光面と反対側にレンズ状物体を形成することも可能である。図3は、発光面32側に、正と負の両電極パッド33a、33bと、はんだバンプ13を形成した面型発光素子31を、発光面32側がLSIチップ11に向くように搭載した光学的信号の入出力機構を有する半導体装置を示している。図3では、面型発光素子31の基板は、使用波長に対して透明な材料であり、発光面32と反対側の表面に回折型のレンズ34を形成している。図2と同様に、発光面32からの発散光35aは、回折型レンズ34によってコリメート光35bに変換される。このような回折型レンズ34は、複数のマスクを用いた通常の半導体プロセスによって階段状に近似した形状を作製できるため、特にモノリシック集積化が容易である。なお、以上の説明においては、面型光素子として面型発光素子を対象にしてきたが、面型受光素子であっても全く同様である。また、面型光素子として

一次元アレイを例に挙げて説明してきたが、平面方向に縦横に配列された二次元アレイに関しても、光導波路の多層化などの手段により信号の入出力が可能となる配線方法を採用することにより、本発明の一応用として実施可能である。また、上記の説明においては、はんだバンプ13は、あらかじめ面型光素子12上の電極パッドに形成していたが、これはLSIチップ11上の電極パッド11aに形成しておいても全く構わない。

【0014】また、面型光素子を樹脂封止することも効果的である。図4は、面型光素子を、使用波長に対して透明な樹脂によって封止した光学的信号の入出力機構を有する半導体装置の縦断面の一部を示した図である。面型光素子41をLSIチップ11に搭載した後に、面型光素子の周囲を封止用樹脂42で覆っている。このような樹脂封止を施すことで、面型光素子の信頼性を向上させることができ、さらにチップサイズパッケージの取り扱い性を格段に向上させることができる。上述したレンズの形成、樹脂による封止は、半導体レーザアレイや受光素子アレイの搭載と同様に、ウエハのままの半導体集積回路に対して行うことができ、一連のこれらの工程の後に、個別の半導体集積回路に切り分けるようにようにして、本発明の光学的信号の入出力機構を有する半導体装置を製造することができる。

【0015】〈第2の実施の形態〉図5は、本発明に係る光学的信号の入出力機構を有する半導体装置の構造と、プリント基板上における電気的信号および光学的信号の接続系を示す模式図である。図5は、図1(b)と同様に、半導体装置の縦断面の一部を拡大して示している。この第2の実施の形態における半導体装置は、半導体集積回路が作製されたLSIチップ11と、面型発光素子アレイまたは面型受光素子アレイ等の面型光素子アレイ52とを、LSIチップ11と同程度の外形サイズのパッケージ内に収めたチップサイズパッケージ構造をしている。面型光素子アレイ52は、発光面53aあるいは受光面53bの反対側に正と負の両電極パッド54a、54bを有しており、LSIチップ11の周辺部に形成した面型光素子用電極パッド11aへ直接、はんだバンプ13により接続されている。さらに、面型光素子アレイ52の発光面53aあるいは受光面53b側の表面にも、金属層55が形成され、はんだバンプ56が形成されている。また、LSIチップ11の中央部には、メタルポスト11bが形成されており、モールド樹脂14により覆われている。さらに、メタルポスト11bのLSIチップ11側の電極11cの反対側には、プリント基板17に接続するためのはんだバンプ15が形成されている。さらに、この第2の実施の形態では、光導波路57の端部57cにおけるクラッド層57b上面に、面型光素子アレイ52の金属層55、および、はんだバンプ56と対応するように、金属層58が形成されている。面型光素子アレイ52を搭載したLSIチップ11

は、面型光素子アレイ52を搭載した面を、プリント基板17側に向けて、はんだバンプ15がプリント基板17上の電極パッド17aと対向するように位置合わせされ、はんだリフロー工程により表面実装される。その際、電気的な入出力のためのはんだバンプ15が溶融して、プリント基板17側の電極パッド17aと接続・固定されると同時に、面型光素子アレイ52に形成されたはんだバンプ55も溶融し、光導波路57と接続・固定される。このように面型光素子アレイ12と光導波路23とをはんだバンプを用いて位置合わせ、固定することにより、プリント基板17の振動や各部品材料の熱膨張係数の差による相対位置の変動に対して安定な構造となり、これらの光結合系に与える影響を小さくすることができる効果がある。

【0016】

【発明の効果】本発明の光学的信号の入出力機構を有する半導体装置によれば、プリント基板等への電気的信号を直接接続することを可能とする電極に加えて、半導体装置からの光学的信号の入出力をも可能とする光学的信号の入出力機構を有するチップサイズパッケージの半導体装置が得られるので、チップサイズパッケージを保ったままで、電気的信号の入出力に加えて、光学的信号の入出力機構を有する性能に優れた半導体装置を提供することができ、また、フラットパッケージ側面からファイバリボンを介して光学的信号の入出力を行う従来のリードタイプの半導体装置に代って、小型のパッケージから多数の光学的信号の入出力を行うことのできる高性能の半導体装置を実現できる効果がある。また、本発明の半導体装置は、面型光素子アレイと光導波路とを、はんだバンプを用いて位置合わせして固定するので、プリント

【図面の簡単な説明】

【図1】本発明の第1の実施の形態で例示した光学的信号の入出力機構を有する半導体装置の構造を示す模式図。

【図2】本発明の第1の実施の形態で例示した発光面と反対側に正と負の両電極パッドを形成した面型発光素子の構造を示す模式図。

【図3】本発明の第1の実施の形態で例示した発光面側に正と負の両電極パッドとはんだバンプを形成した面型発光素子の構造を示す模式図。

【図4】本発明の第1の実施の形態で例示した面型光素子を使用波長に対して透明な樹脂で封止した光学的信号の入出力機構を有する半導体装置の構造を示す模式図。

【図5】本発明の第2の実施の形態で例示した光学的信号の入出力機構を有する半導体装置の構造とプリント基板上における電気的信号と光学的信号の接続系を示す模式図。

【図6】従来のパッケージ型半導体装置の構造を模式的に示した第1の従来例。

【図7】従来の光学的信号の入出力機構を有する半導体装置の構造を模式的に示した第2の従来例。

【符号の説明】

11…LSIチップ

11a…面型光素子用電極パッド

11b…メタルポスト

11c…電極

12…面型光素子アレイ

12a…面型光素子正電極

12b…面型光素子負電極

12c…面型光素子発光部

12d…面型光素子受光部

13…はんだバンプ

14…モールド樹脂

15…はんだバンプ

16…光導波路

16a…コア層

16b…クラッド層

16c…端部

17…プリント基板

17a…電極パッド

18…電気配線層

21…面型発光素子

22…発光面

23a…電極パッド(正)

23b…電極パッド(負)

24…レンズ状の物体

25a…発散光

25b…コリメート光

31…面型発光素子

32…発光面

33a…電極パッド(正)

33b…電極パッド(負)

34…回折型レンズ

35a…発散光

35b…コリメート光

36…面型発光素子裏面

41…面型光素子

42…封止用樹脂

52…面型光素子アレイ

53a…発光面

13

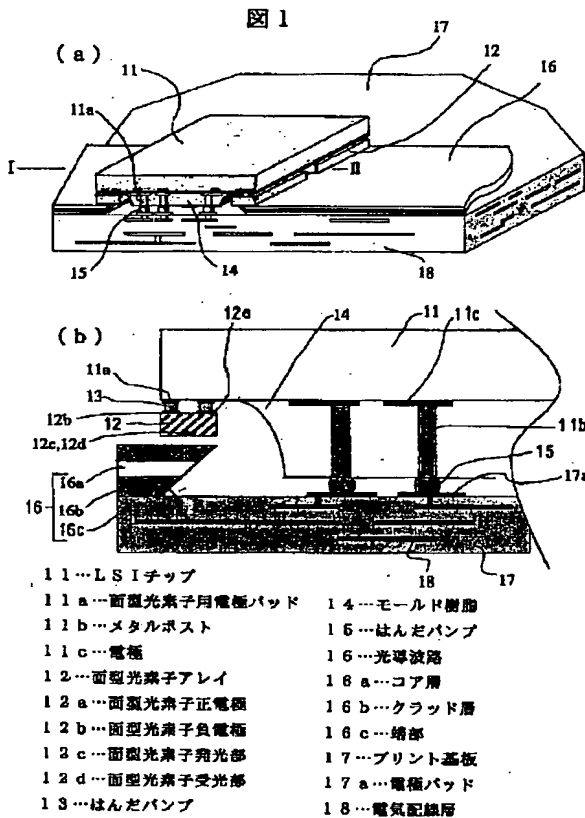
- 53b...受光面
- 54a...電極パッド (正)
- 54b...電極パッド (負)
- 55...金属層
- 56...はんだバンプ
- 57...光導波路
- 57a...コア層
- 57b...クラッド層
- 57c...端部
- 58...金属層
- 61...半導体集積回路
- 62...パッケージ (チップサイズパッケージ)
- 63...電気端子
- 64...プリント基板

*

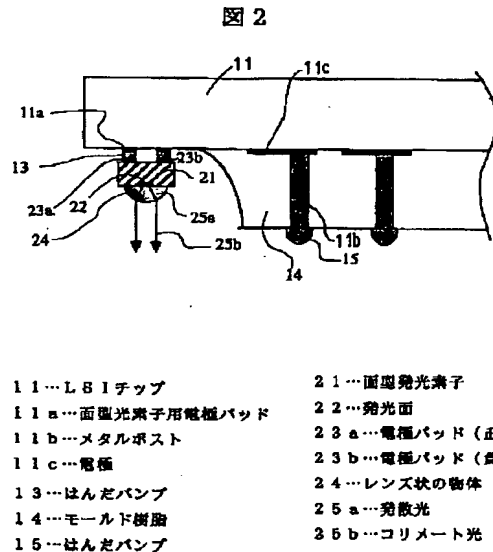
14

- * 65...キャリア基板
- 71...半導体集積回路
- 72...電子部品類
- 73...半導体レーザアレイ
- 74...受光素子アレイ
- 75...モジュール基板
- 76...光ファイバリボン
- 77...マイクロレンズアレイ
- 78...短尺光ファイバ
- 10 79...光ファイバコネクタレセプタクル
- 80...光ファイバコネクタプラグ
- 81...プリント基板
- 82...リード

【図1】

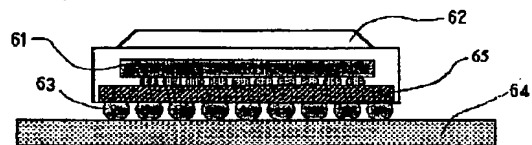


【図2】

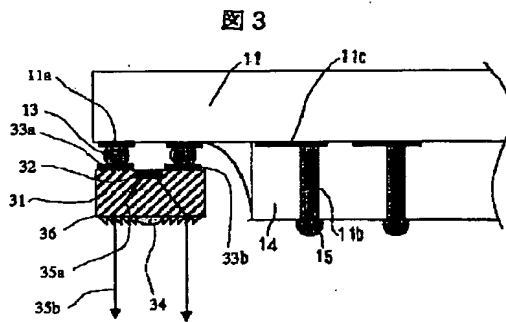


【図6】

図 6

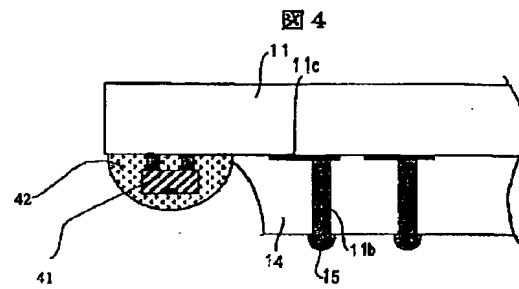


【図3】



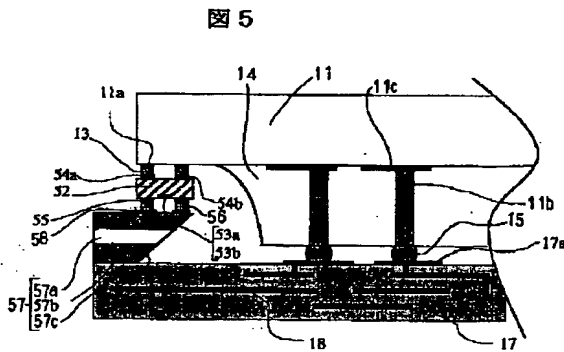
- 11…LSIチップ
 11a…面型光素子用電極パッド
 11b…メタルポスト
 11c…電極
 13…はんだパンプ
 14…モールド樹脂
 15…はんだパンプ
 31…面型光素子
 32…発光面
 33a…電極パッド(正)
 33b…電極パッド(負)
 34…回折型レンズ
 35a…発散光
 35b…コリメート光
 36…面型光素子表面

【図4】



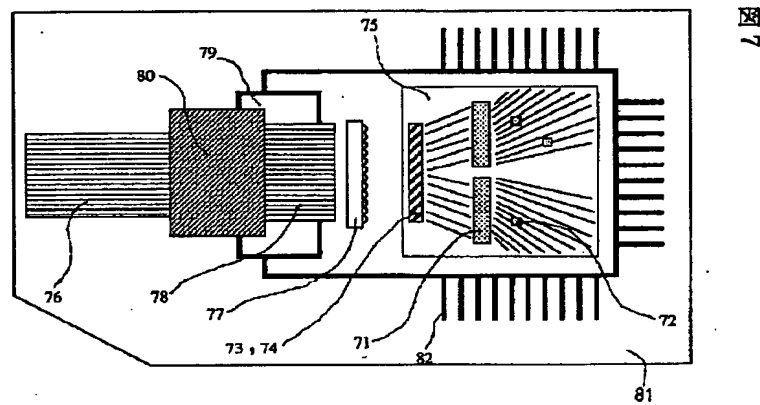
- 11…LSIチップ
 11b…メタルポスト
 11c…電極
 14…モールド樹脂
 15…はんだパンプ
 41…面型光素子
 42…封止用樹脂

【図5】



- 11…LSIチップ
 11a…面型光素子用電極パッド
 11b…メタルポスト
 11c…電極
 13…はんだパンプ
 14…モールド樹脂
 15…はんだパンプ
 17…プリント基板
 17a…電極パッド
 18…電気絶縁層
 52…面型光素子アレイ
 53a…発光面
 53b…受光面
 54a…電極パッド(正)
 54b…電極パッド(負)
 55…金属層
 56…はんだパンプ
 57…光導波路
 57a…コア層
 57b…クラッド層
 57c…端部
 58…金属層

【図7】



- | | | |
|--------------|---------------|--------------------|
| 71…半導体集積回路 | 75…モジュール基板 | 78…光ファイバコネクタレセプタクル |
| 72…電子部品類 | 76…光ファイバリボン | 80…光ファイバコネクタプラグ |
| 73…半導体レーザアレイ | 77…マイクロレンズアレイ | 81…プリント基板 |
| 74…発光素子アレイ | 78…短尺光ファイバ | 82…リード |

フロントページの続き

Fターム(参考) 2H047 KA02 KA15 KB09 MA07 RA00
 TA01
 3K007 AB18 BB01 CC05 FA02
 5F041 AA47 CA12 CB22 DA03 DA09
 DA20 DA43 EE01 EE11 EE17
 EE23 EE25 FF14 FF16
 5F088 BA15 BB01 BB10 EA02 JA01
 JA09 JA12 JA14 JA20